

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-281631

(43)Date of publication of application : 07.10.2004

(51)Int.Cl.

H01L 29/78  
H01L 21/316  
H01L 21/76  
H01L 29/04

(21)Application number : 2003-069692

(71)Applicant : RENESAS TECHNOLOGY CORP

(22)Date of filing : 14.03.2003

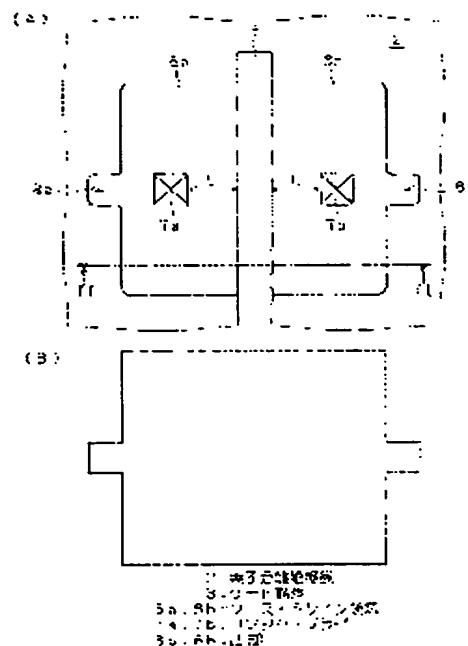
(72)Inventor : IWASAKI TOSHIFUMI

## (54) DESIGN METHOD OF SEMICONDUCTOR DEVICE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain the design method of a semiconductor device wherein trimming of current driving ability is possible while avoiding or restraining deterioration of integration degree.

**SOLUTION:** The design method of an MOSFET is related with design of a photomask acted in a patterning process for forming an element isolation insulating film. An element formation region has a top view structure where convex parts 8a, 8b are formed along with circumference. As a result, stress which is applied from an element isolation insulating film 2 to a semiconductor substrate 1 is changed by making a basic case wherein the convex parts 8a, 8b are not formed. Hence, stress applied to the semiconductor substrate 1 at a part in which a gate structure 3 is formed can be tuned finely by formation of the convex parts 8a, 8b. As a result, current driving ability of the MOSFET can be set to a desired value.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-281631

(P2004-281631A)

(43) 公開日 平成16年10月7日(2004.10.7)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
H O 1 L 29/78	H O 1 L 29/78 3 O I S	4 M 1 O 8
H O 1 L 21/316	H O 1 L 29/04	5 F O 3 2
H O 1 L 21/76	H O 1 L 21/76 M	5 F 1 4 O
H O 1 L 29/04	H O 1 L 21/76 L	
	H O 1 L 21/94 A	
審査請求 未請求 請求項の数 4 O L (全 9 頁)		

(21) 出願番号 特願2003-69692 (P2003-69692)  
 (22) 出願日 平成15年3月14日 (2003.3.14)

(71) 出願人 503121103  
 株式会社ルネサステクノロジ  
 東京都千代田区丸の内二丁目4番1号  
 (74) 代理人 100089233  
 弁理士 吉田 茂明  
 (74) 代理人 100088672  
 弁理士 吉竹 英俊  
 (74) 代理人 100088845  
 弁理士 有田 貴弘  
 (72) 発明者 岩崎 敏文  
 東京都千代田区丸の内二丁目2番3号 三  
 菱電機株式会社内  
 Fターム (参考) 4M108 AA07 AB01 AB04 AB09 AB13  
 AC01 AD13

最終頁に続く

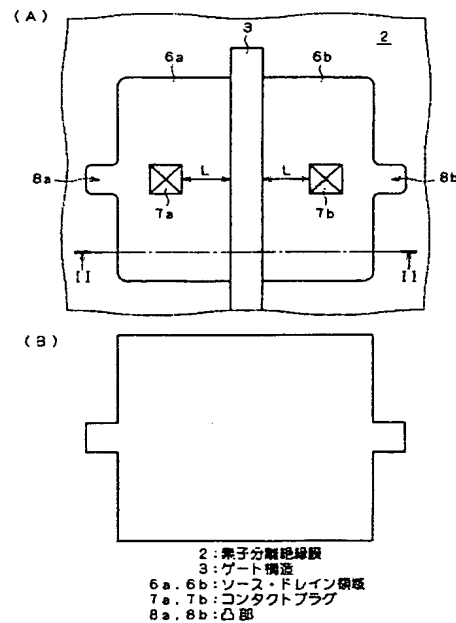
(54) 【発明の名称】 半導体装置の設計方法

## (57) 【要約】

【課題】 集積度の低下を回避又は抑制しつつ、電流駆動能力の微調整が可能な、半導体装置の設計方法を得る。

【解決手段】 本発明に係るMOSFETの設計方法は、素子分離絶縁膜を形成するためのパターニング工程で使用するフォトリソグラフィの設計に関するものである。素子形成領域は、外周に沿って凸部8a、8bが形成された上面構造を有している。従って、凸部8a、8bが形成されていない場合を基準として、素子分離絶縁膜2から半導体基板1に加わるストレスが変化する。そのため、ゲート構造3が形成されている部分の半導体基板1に加わるストレスを、凸部8a、8bの形成によって微調整することができ、その結果、MOSFETの電流駆動能力を所望の値に設定することが可能となる。

【選択図】 図1



**【特許請求の範囲】****【請求項 1】**

半導体装置の設計方法であって、  
設計対象である前記半導体装置は、  
半導体基板と、  
前記半導体基板の主面内に部分的に形成された素子分離絶縁膜と、  
前記素子分離絶縁膜によって規定される素子形成領域内において、前記半導体基板の前記主面上に部分的に形成されたゲート構造と、  
前記素子形成領域内において、前記半導体基板の前記主面内に形成され、前記ゲート構造の下方のチャンネル形成領域を挟んで対を成すソース・ドレイン領域とを備え、  
前記素子形成領域の形状によって、前記ゲート構造が形成されている部分の前記半導体基板に加わるストレスが調整されることを特徴とする半導体装置の設計方法。 10

**【請求項 2】**

前記素子形成領域は、外周に沿って少なくとも一つの凸形状が形成された上面構造を有する、請求項 1 に記載の半導体装置の設計方法。

**【請求項 3】**

前記素子形成領域は、外周に沿って少なくとも一つの凹形状が形成された上面構造を有する、請求項 1 に記載の半導体装置の設計方法。

**【請求項 4】**

前記素子形成領域の上面のコーナー部分の曲率は、矩形状の開口パターンを有するフォトマスクを用いたパターンニングにより形成された素子分離絶縁膜によって規定される素子形成領域の上面のコーナー部分の曲率よりも大きい、請求項 1 に記載の半導体装置の設計方法。 20

**【発明の詳細な説明】****【0001】****【発明の属する技術分野】**

この発明は、半導体装置の設計方法に関し、特に、電流駆動能力の微調整が可能な MOSFET の設計方法に関する。

**【0002】****【従来の技術】**

従来の MOSFET の設計方法では、コンタクトプラグとゲート電極との間の距離に応じて、電流駆動能力の調整が行われている（例えば、特許文献 1 参照）。 30

**【0003】****【特許文献 1】**

特開平 11-186495 号公報（図 3，4）

**【0004】****【発明が解決しようとする課題】**

しかしながら、従来の MOSFET の設計方法によると、電流駆動能力の調整幅を広げるべく、ゲート電極が延在する方向に垂直な方向に大きく突き出した突出部を、ソース・ドレイン領域が備えている必要がある。従って、集積度が低下するという問題がある。 40

**【0005】**

本発明はかかる問題を解決するために成されたものであり、集積度の低下を回避又は抑制しつつ、電流駆動能力の微調整が可能な半導体装置の設計方法を得ることを目的とする。

**【0006】****【課題を解決するための手段】**

この発明によれば、設計対象である半導体装置は、半導体基板と、半導体基板の主面内に部分的に形成された素子分離絶縁膜と、素子分離絶縁膜によって規定される素子形成領域内において、半導体基板の主面上に部分的に形成されたゲート構造と、素子形成領域内において、半導体基板の主面内に形成され、ゲート構造の下方のチャンネル形成領域を挟んで対を成すソース・ドレイン領域とを備えている。素子形成領域の形状によって、ゲート構 50

造が形成されている部分の半導体基板に加わるストレスが調整される。

【0007】

【発明の実施の形態】

本発明は半導体装置の設計方法に関し、特に、素子分離絶縁膜を形成するためのパターンニング工程で使用されるフォトマスクの設計手法に関するものである。以下、MOSFETを例にとり、本発明の実施の形態について具体的に説明する。

【0008】

実施の形態1.

図1は、本発明の実施の形態1に関して、MOSFETの構造を示す図である。図1(A)は、MOSFETの上面構造を示している。図1(B)は、図1(A)に示された素子分離絶縁膜2を形成するためのパターンニング工程で使用されるフォトマスクの開口パターンを示している。また、図2は、図1(A)に示したラインI I - I I に沿った位置に関する断面図である。なお、図1(A)では、図2に示された層間絶縁膜11の記載が省略されている。 10

【0009】

図2を参照して、MOSFETは、シリコンから成る半導体基板1と、酸化シリコンから成る素子分離絶縁膜2と、ゲート構造3と、対を成すソース・ドレイン領域6a, 6bとを備えている。素子分離絶縁膜2は、半導体基板1の上面内に部分的に形成されている。ゲート構造3は、素子分離絶縁膜2によって規定される素子形成領域内において、半導体基板1の上面上に部分的に形成されている。また、ゲート構造3は、酸化シリコンから成るゲート絶縁膜4と、ドーフトポリシリコンから成るゲート電極5とを有している。ゲート電極5の側面には、窒化シリコンから成るサイドウォール10が形成されている。 20

【0010】

ソース・ドレイン領域6a, 6bは、素子形成領域内における半導体基板1の上面内に形成されている。また、ソース・ドレイン領域6a, 6bは、ゲート構造3の下方に規定されるチャンネル形成領域を挟んで、互いに対向している。ソース・ドレイン領域6aは、比較的浅く形成された第1の不純物導入領域6a1と、比較的深く形成された第2の不純物導入領域6a2とを有している。同様に、ソース・ドレイン領域6bは、比較的浅く形成された第1の不純物導入領域6b1と、比較的深く形成された第2の不純物導入領域6b2とを有している。MOSFET及び素子分離絶縁膜2を覆って、酸化シリコンから成る層間絶縁膜11が形成されている。なお、以上で述べた各部の材質は一例であり、他の材質であってもよい。また、MOSFETの構造は一例であり、どのような構造であってもよい。 30

【0011】

図2に示したように素子分離絶縁膜2がトレンチ型である場合、素子分離絶縁膜2の形成工程は、(a)半導体基板1上にシリコン酸化膜及びシリコン窒化膜をこの順に全面的に形成する工程と、(b)シリコン窒化膜をパターンニングする工程と、(c)パターンニングされたシリコン窒化膜をエッチングマスクとして用いて、エッチングによって半導体基板1内に凹部を形成する工程と、(d)凹部内をシリコン酸化膜によって充填する工程とを含む。 40

【0012】

また、素子分離絶縁膜2がLOCOS型である場合、素子分離絶縁膜2の形成工程は、(a)半導体基板1上にシリコン酸化膜及びシリコン窒化膜をこの順に全面的に形成する工程と、(b)シリコン窒化膜をパターンニングする工程と、(c)シリコン窒化膜が形成されていない部分の半導体基板1を熱酸化する工程とを含む。

【0013】

図1(A)を参照して、素子形成領域には、凸部8a, 8bが形成されている。換言すると、素子形成領域は、外周に沿って凸部8a, 8bが形成された上面構造を有している。上記した素子分離絶縁膜2の形成工程の工程(b)において、シリコン窒化膜をパターンニングする際に、図1(B)に示した開口パターンを有するフォトマスクを用いて写真製版 50

を行うことにより、凸部 8 a, 8 b を有する素子形成領域を得ることができる。

【0014】

図 1 (B) に示した開口パターンを有するフォトマスクでは、開口パターンの各コーナー部分がいずれも直角に規定されている。これに対して、図 1 (A) に示すように、素子形成領域の各コーナー部分は、僅かに丸みを帯びている。これは、上記した素子分離絶縁膜 2 の形成工程の工程 (b) において、シリコン窒化膜上に形成されたフォトレジストを露光する際の、近接効果の影響によるものである。

【0015】

また、図 1 (A) を参照して、MOSFET は、コンタクトプラグ 7 a, 7 b を備えている。コンタクトプラグ 7 a, 7 b は、ゲート構造 3 から所定の距離 L (固定値) だけ離れた箇所、ソース・ドレイン領域 6 a, 6 b にそれぞれ接続されている。また、コンタクトプラグ 7 a, 7 b は、図 2 に示した層間絶縁膜 11 内に形成されており、また、凸部 8 a, 8 b が形成されていない部分のソース・ドレイン領域 6 a, 6 b 上に形成されている。

10

【0016】

図 1 (A) に示したように、素子形成領域は、外周に沿って凸部 8 a, 8 b が形成された上面構造を有している。従って、凸部 8 a, 8 b が形成されていない場合を基準として、素子分離絶縁膜 2 から半導体基板 1 に加わるストレスが変化する。ところで、MOSFET の電流駆動能力は、ゲート構造 3 が形成されている部分の半導体基板 1 に加わるストレスの大きさによって変動する。そのため、本実施の形態 1 に係る MOSFET の設計方法によると、ゲート構造 3 が形成されている部分の半導体基板 1 に加わるストレスを、凸部 8 a, 8 b の形成によって微調整することができ、その結果、MOSFET の電流駆動能力を所望の値に設定することが可能となる。

20

【0017】

図 3 ~ 5 は、本実施の形態 1 の変形例に関して、MOSFET の構造をそれぞれ示す図である。各図 (A) は、MOSFET の上面構造を示している。各図 (B) は、各図 (A) に示された素子分離絶縁膜 2 を形成するためのパターンニング工程で使用するフォトマスクの開口パターンを示している。

【0018】

図 3 (A) に示すように、それぞれ複数の凸部 8 a, 8 b を形成してもよい。図 4 (A) に示すように、ゲート構造 3 が延在する方向に関する寸法が凸部 8 a, 8 b よりも大きい凸部 8 a a, 8 b b を形成してもよい。図 5 (A) に示すように、ソース・ドレイン領域 6 a, 6 b のコーナー部分に凸部 8 a, 8 b を形成してもよい。図 1 (A), 5 (A) では、素子形成領域の外周を規定する四辺のうち、ゲート構造 3 が延在する方向に平行な方向に延在する辺に沿って凸部 8 a, 8 b が形成されているが、凸部 8 a, 8 b は、ゲート構造 3 が延在する方向に垂直な方向に延在する辺に沿って形成されていてもよい。

30

【0019】

これらの変形例に係る構造を採用すると、図 1 に示した構造と比較して、ゲート構造 3 が形成されている部分の半導体基板 1 に加わるストレスの大きさが増減する。そのため、図 1 に示した構造を基準として、MOSFET の電流駆動能力を異ならせることができる。

40

【0020】

なお、凸部 8 (即ち、凸部 8 a, 8 b, 8 a a, 8 b b) の面積が過大になると、半導体装置の集積度が低下してしまう。そこで、集積度の低下を抑制すべく、凸部 8 のトータルの面積が、凸部 8 が形成されていない部分の素子形成領域の面積の例えば 30 % 以下になるように、凸部 8 の大きさや個数を設定することが望ましい。

【0021】

実施の形態 2.

図 6 は、本発明の実施の形態 2 に関して、MOSFET の構造を示す図である。図 6 (A) は、MOSFET の上面構造を示している。図 6 (B) は、図 6 (A) に示された素子分離絶縁膜 2 を形成するためのパターンニング工程で使用するフォトマスクの開口パター

50

ンを示している。

【0022】

素子形成領域には、図1(A)に示した凸部8a, 8bの代わりに、凹部9a, 9bが形成されている。換言すると、素子形成領域は、外周に沿って凹部9a, 9bが形成された上面構造を有している。なお、図3~5に示した変形例と同様に、凹部9a, 9bの個数、寸法、形成箇所を任意に変更してもよい。

【0023】

凸部8a, 8bが形成されている場合と同様に、凹部9a, 9bを形成することによって、凹部9a, 9bが形成されていない場合を基準として、素子分離絶縁膜2から半導体基板1に加わるストレスを変化させることができる。そのため、本実施の形態2に係るMOSFETの設計方法によっても、上記実施の形態1と同様に、MOSFETの電流駆動能力を所望の値に設定することが可能となる。

【0024】

しかも、凸部8a, 8bが形成される場合とは異なり、凹部9a, 9bを形成する場合には素子形成領域の面積が増加しない。そのため、集積度が低下することを回避できる。

【0025】

実施の形態3.

図7は、本発明の実施の形態3に関して、MOSFETの構造を示す図である。図7(A)は、MOSFETの上面構造を示している。図7(B)は、図7(A)に示された素子分離絶縁膜2を形成するためのパターニング工程で使用されるフォトマスクの開口パターンを示している。

【0026】

本実施の形態3では、素子分離絶縁膜2を形成するためのパターニング工程において、矩形状の開口パターンを有する一般的なフォトマスクではなく、図7(B)に示すように、コーナー部分が丸みを帯びた開口パターンを有するフォトマスクが使用される。その結果、図7(A)に示すように、素子形成領域のコーナー部分の曲率は、矩形状の開口パターンを有するフォトマスクが使用された場合に得られる素子形成領域のコーナー部分の曲率(例えば図1(A)参照)よりも、大きくなっている。

【0027】

凸部8a, 8bが形成されている場合と同様に、素子形成領域のコーナー部分の曲率を変化させることによって、素子分離絶縁膜2から半導体基板1に加わるストレスを変化させることができる。そのため、本実施の形態3に係るMOSFETの設計方法によっても、上記実施の形態1, 2と同様に、MOSFETの電流駆動能力を所望の値に設定することが可能となる。

【0028】

しかも、凸部8a, 8bが形成される場合とは異なり、素子形成領域のコーナー部分の曲率を変化させる場合には、素子形成領域の面積が増加しない。そのため、集積度が低下することを回避できる。

【0029】

【発明の効果】

この発明によれば、集積度の低下を回避又は抑制しつつ、半導体装置の電流駆動能力を所望に設定することができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に関して、MOSFETの構造を示す図である。

【図2】 図1(A)に示したラインI-I'に沿った位置に関する断面図である。

【図3】 本発明の実施の形態1の変形例に関して、MOSFETの構造を示す図である。

【図4】 本発明の実施の形態1の変形例に関して、MOSFETの構造を示す図である。

【図5】 本発明の実施の形態1の変形例に関して、MOSFETの構造を示す図である。

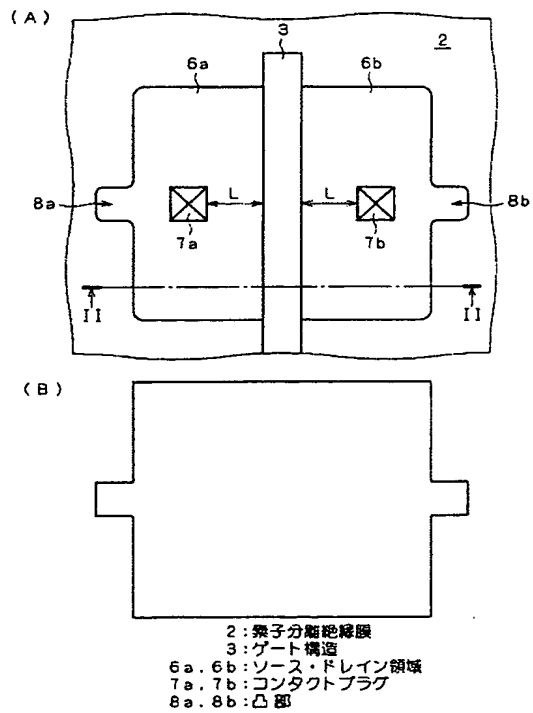
【図6】 本発明の実施の形態2に関して、MOSFETの構造を示す図である。

【図7】 本発明の実施の形態3に関して、MOSFETの構造を示す図である。

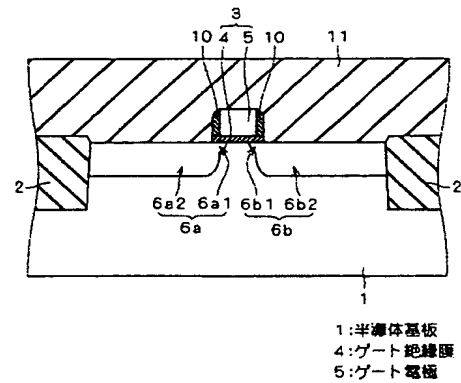
## 【符号の説明】

1 半導体基板、2 素子分離絶縁膜、3 ゲート構造、6 a, 6 a a, 6 b, 6 b b  
 ソース・ドレイン領域、8 a, 8 a a, 8 b, 8 b b 凸部、9 a, 9 b 凹部。

【図 1】

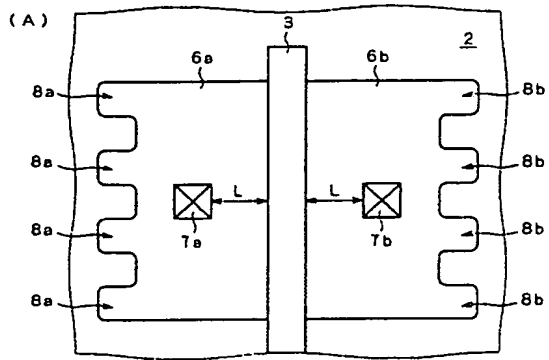


【図 2】

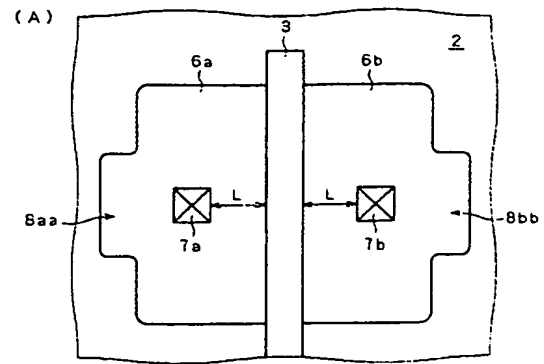




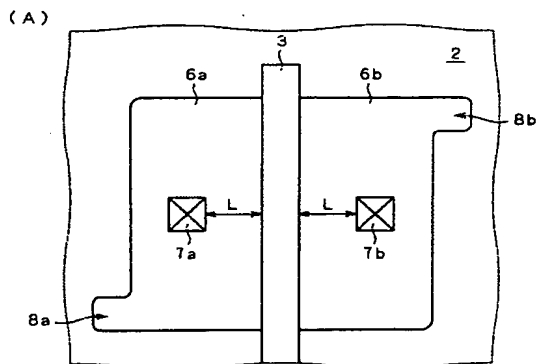
【図 3】



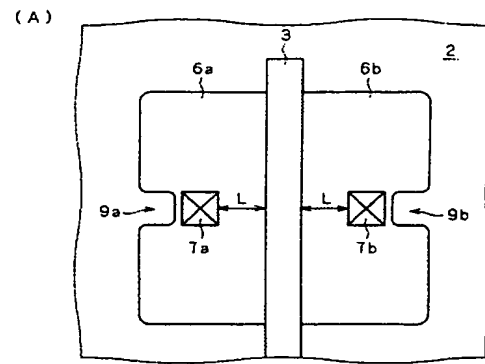
【図 4】



【図 5】



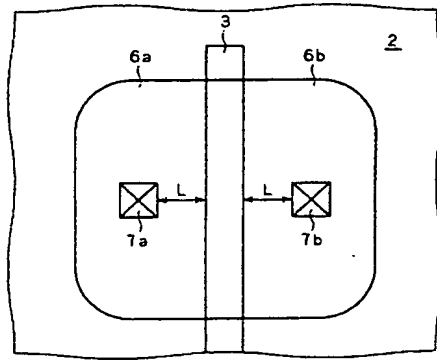
【図 6】



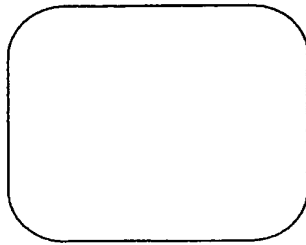
9a, 9b:凹部

【図 7】

(A)



(B)



---

フロントページの続き

Fターム(参考) 5F032 AA13 AA35 AA44 BA05 CA17 DA22 DA53  
5F140 AA00 AC28 BA01 BF01 BF04 BG08 BG14 BH02 BH15 BJ27  
CB01 CB04 CC03 CE13